

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-077017

(43)Date of publication of application : 11.03.1992

(51)Int.Cl. H03L 7/00
H04B 7/15

(21)Application number : 02-187434 (71)Applicant : FUJITSU LTD
(22)Date of filing : 16.07.1990 (72)Inventor : YAMAMOTO HIROAKI
TANI YASUMITSU

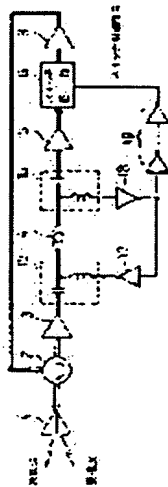
(54) SYNCHRONOUS OSCILLATING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the cost and to generate a stable switching control signal by using a delay line as a part of an oscillation means and obtaining the switching control signal having a pulse timing in response to the delay timing of the delay line.

CONSTITUTION: The synchronous oscillating circuit consists of a delay line 4, separation circuits 15, 16 and gate circuits 17, 18. Then a microwave component is separated by the separation circuits 15, 16 and fed to a switching circuit 6. On the other hand, the separation circuits 15, 16 separate the synchronous oscillating frequency component of the oscillation circuit being a component of a closed loop, that is, a TTL (transistor transistor logic) signal voltage is detected and fed to the

switching circuit 6 as a switching control signal. Then the microwave (received wave) is switched at the switching circuit 6 by using the switching control signal to be an intermittent signal (transmission wave) and it is given to an amplifier 9 and a circulator 2 and the result is radiated from an antenna 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-77017

⑤Int. Cl.⁵H 03 L 7/00
H 04 B 7/15

識別記号

B

庁内整理番号

9182-5J

⑬公開 平成4年(1992)3月11日

6942-5K H 04 B 7/15

Z

審査請求 未請求 請求項の数 2 (全5頁)

⑭発明の名称 同期発振回路

⑰特 願 平2-187434

⑱出 願 平2(1990)7月16日

⑲発明者 山本 博章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲発明者 谷 康光 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
 ⑲代理人 弁理士 伊東 忠彦 外2名

明 細 書

1. 発明の名称
同期発振回路

2. 特許請求の範囲

(1) マイクロ波を遅延線(20)で遅延させた信号をスイッチ回路(21)でスイッチ制御信号にてスイッチングして取出す回路において、

上記遅延線(20)を上記スイッチ制御信号を発生する発振手段の一部として用い、

上記遅延線(20)の入力側及び出力側にマイクロ波成分と同期発振周波数成分とを分離する分離回路(22, 23)を設けて該夫々の分離回路(22, 23)の該同期発振周波数成分を取出す端子を2つのゲート回路(24, 25)で接続し、

該ゲート回路(24, 25)の接続点より上記スイッチ制御信号を出力する構成としてなることを特徴とする同期発振回路。

(2) 上記2つのゲート回路(24, 25)の接

続点と前記スイッチ回路(21)との間に、上記スイッチ制御信号のバースタimingを調整するためのゲート回路(26)を接続した構成となることを特徴とする請求項1記載の同期発振回路。

3. 発明の詳細な説明

〔概要〕

受信したマイクロ波を遅延してこの遅延時間に等しいバース幅をもつスイッチ制御信号でスイッチングして間欠信号として送信するディレード・レピータ方式送受信装置に用いる同期発振回路に関し、

簡単な回路構成で、温度変動及び製品ばらつきによる遅延線の遅延時間のばらつきに無関係に安定なスイッチ制御信号を発生することを目的とし、

遅延線をスイッチ制御信号を発生する発振手段の一部として用い、遅延線の入力側及び出力側にマイクロ波成分と同期発振周波数成分とを分離す

る分離回路を設けて該夫々の分離回路の該同期発振周波数成分を取出す端子を2つのゲート回路で接続し、ゲート回路の接続点よりスイッチ制御信号を出力する構成とする。

〔産業上の利用分野〕

本発明は、受信したマイクロ波を遅延してこの遅延時間に等しいパルス幅をもつスイッチ制御信号でスイッチングして間欠信号として送信するディレード・レピータ方式送受信装置に用いる同期発振回路に関する。

上述のようなディレード・レピータ方式の送受信装置において、受信マイクロ波を遅延する素子として例えば50 nsの同軸遅延線等を用いると、この遅延線の遅延時間は温度変動及び製品ばらつきによって大きくばらつく。このような遅延時間のばらつきがあると、後述のように送信波と制御信号とにタイミングずれを生じて送信波が受信波に回り込みを生じ、この結果、発振等の不具合を生じることになる。そこで、遅延時間のばらつき

り放射される。このディレード・レピータ方式の送受信装置においては、50 nsのマイクロ波受信と50 nsのマイクロ波送信とが交互に繰返し行なわれる。

ここで、遅延線4は一般に温度変動によって遅延時間にばらつきを生じ、以下に説明するように送信波と制御信号とにタイミングずれを生じる。遅延線4の遅延時間が温度変動によって50 nsから例えば55 nsに変化したとすると、遅延線4を通る信号のタイミングは第3図(D)に示す如くとなり、スイッチ制御信号(第3図(A))とタイミングずれ(55 - 50 = 5 ns)を生じ、このため、閉ループ内において送信すべき信号(送信波)が受信波に回り込みを生じ、この結果、発振等の不具合を生じることになる。そこで、従来、このような不具合を生じないようにするため、以下に説明するような温度補償手段によって温度補償が行なわれている。温度検出器10にて検出された環境温度情報は温度補償回路11に供給され、ここで、同期用トリガ検出回路12にて検出され

があっても送信波と制御信号とのタイミングを合わせ、発振等の不具合を生じないようにすることが必要である。

〔従来の技術〕

第4図は従来の一例の回路図、第3図はその動作タイミングチャートを示す。第4図中、二重線はマイクロ波の伝送線路を示す。第4図において、アンテナ1にて受信されたマイクロ波(受信波)(第3図(B))はサーキュレータ2、アンプ3を経、遅延時間50 nsの遅延線4にて遅延され、アンプ5を介してスイッチ回路6に供給される。一方、水晶振動子等を用いた発振器(スイッチ制御信号源)7からの発振信号はパルス形成回路8にて例えば分周され、デューティサイクル50%、パルス幅50 nsのスイッチ制御信号(第3図(A))とされる。受信波はスイッチ回路6においてスイッチ制御信号によってスイッチングされて第3図(C)に示す間欠信号(送信波)とされ、アンプ9、サーキュレータ2を経てアンテナ1よ

うに送信される。このタイミングは温度補償回路11からの温度補償信号によって制御されてタイミングずれ(5 ns)分だけ遅延され、これにより、温度変動によって遅延線4の遅延時間がばらついても送信波に対応したタイミングのスイッチ制御信号(第3図(E))とされ、前述のような発振等の不具合を生じることなく送受信を行なうことができる。

〔発明が解決しようとする課題〕

然るに、第4図に示す従来例は、温度検出器10、温度補償回路11、同期用トリガ検出回路12等からなる温度補償手段を必要とし、又、スイッチ制御信号を発生させるための発振器7、パルス形成回路8を必要とし、回路が複雑になり、しかもコスト高になる問題点があった。更に、遅延線4の遅延時間は温度変動によるばらつきの他、製品によるばらつきもあり、従来例のものは製品による遅延時間のばらつきには対処できない問題

点があった。

本発明は、簡単な回路構成で、温度変動及び製品ばらつきによる遅延線の遅延時間のばらつきに無関係に安定なスイッチ制御信号を発生できる同期発振回路を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理図を示す。同図中、20は遅延線、21はスイッチ回路で、マイクロ波を遅延線20で遅延させた信号をスイッチ回路21でスイッチ制御信号にてスイッチングして取出す。本発明は、遅延線20をスイッチ制御信号を発生する発振手段の一部として用いる。22、23は分離回路で、遅延線20の入力側及び出力側に設けられ、マイクロ波成分と同期発振周波数成分とを分離する。24、25はゲート回路で、該夫々の分離回路22、23の該同期発振周波数成分を取出す端子を接続する。ゲート回路24、25の接続点よりスイッチ制御信号を出力する構成とする。

入力側及び出力側に夫々接続されており、マイクロ波成分と同期発振周波数成分とを分離する。

17、18は例えばインバータ等のゲート回路で、分離回路15、16を接続し、ゲート回路17、18の接続点からスイッチ制御信号を出力する。19はバッファ（ゲート回路）で、スイッチ制御信号のタイミングを調整するもので、原理的には設けなくてもよい。

本発明は、遅延線4、分離回路15、16、ゲート回路17、18にて同期発振回路を構成し、即ち、遅延線4を発振回路の一部として用い、遅延線4の遅延時間の変動（ばらつき）に対応したパルスタイミングをもつスイッチ制御信号を得るものである。

次に、第3図に示す動作タイミングチャートと併せてその動作を説明する。第2図において、アンテナ1にて受信されたマイクロ波（受信波）

（第3図（B））はサーキュレータ2、アンプ3を経、遅延時間50nsの遅延線4にて遅延され、アンプ5を介してスイッチ回路6に供給される。

〔作用〕

本発明では、遅延線20を発振手段の一部として用い、遅延線20の遅延タイミングに対応したパルスタイミングをもつスイッチ制御信号を得る。従って、遅延線の遅延時間が温度変動や製品ばらつき等で変動してもその変動分に応じたパルスタイミングをもつスイッチ制御信号が得られ、温度変動や製品ばらつきがあっても送信波の受信波への回り込みを防止できる。この場合、本発明では、特に従来例のような温度補償手段や水晶振動子等を用いた発振器（スイッチ制御信号源）等を設けなくてもよく、従来例に比して回路を簡単に、低コストに構成できる。

〔実施例〕

第2図は本発明の一実施例の回路図を示し、同図中、第4図と同一構成部分には同一番号を付す。第2図中、15、16は分離回路で、夫々マイクロ波通過用のコンデンサとマイクロ波阻止用のインダクタンスとにて構成されており、遅延線4の

ここで、基本的な構成である遅延線4及びゲート回路17、18からなる閉ループは周知の発振回路を構成しており、ある周期のパルス信号を発生する手段として広く用いられているものである。

分離回路15、16によりマイクロ波成分が分離され、このマイクロ波成分はスイッチ回路6に供給される。一方、分離回路15、16により、閉ループを構成する発振回路の同期発振周波数成分が分離され、即ち、TTL（トランジスタ・トランジスタ・ロジック）信号電圧が検出され、スイッチ制御信号（第3図（A））としてスイッチ回路6に供給される。マイクロ波（受信波）（第3図（B））はスイッチ回路6においてスイッチ制御信号（第3図（A））によってスイッチングされて第3図（C）に示す間欠信号（送信波）とされ、アンプ9、サーキュレータ2を経てアンテナ1より放射される。

ここで、遅延線4の遅延時間が温度変動によって例えば55nsになった場合、又は、製品ばらつきによって55nsの遅延時間をもつ遅延線4を用

いた場合について説明する。前述したように、遅延線4、分離回路15、16、ゲート回路17、18にて構成される発振回路は、分離回路15、16で分離される同期発振周波数成分（TTL信号電圧）をスイッチ制御信号として出力する構成であるので、このスイッチ制御信号は遅延線4の遅延タイミングに対応したパルスタイミングをもつ。従って、遅延線4の遅延時間が温度変動や製品ばらつき等によって変動してもその変動分に応じたパルスタイミングをもつスイッチ制御信号（第3図（E））が得られ、温度変動や製品ばらつきがあっても送信波の受信波への回り込みを防止できる。この場合、本発明では、特に、従来例のような温度補償手段や水晶振動子等を用いた発振器（スイッチ制御信号源）等を設けなくてもよく、従来例に比して回路を簡単に、低コストに構成でき、かつ非常に広い温度変動範囲においても十分に対処できる。

なお、スイッチ制御信号のパルスタイミングを遅延線4の遅延タイミングに完全に合わせるには、

図において、
1はアンテナ、
2はサーキュレータ、
4、20は遅延線、
6、21はスイッチ回路、
15、16、22、23は分離回路、
17、18、19、24、25、26はゲート回路を示す。

特許出願人 富士通株式会社

代理人 弁理士 伊東 忠彦

同 弁理士 松浦 兼行

同 弁理士 片山 修平

バッファ19のインバータの段数を加減したり、分離回路15、16のインダクタンスの値を加減すれば、簡単にその微調整を行なうことができる。

（発明の効果）

以上説明した如く、本発明によれば、遅延線をスイッチ制御信号を発生する発振手段の一部として用いる構成としたため、ディレード・レピータ方式送受信装置に適用した場合、簡単な回路で遅延線の遅延時間のばらつきに適合した安定なスイッチ制御信号を発生でき、低コストに構成でき、又、遅延時間の広い変動範囲においても十分に対処できる。

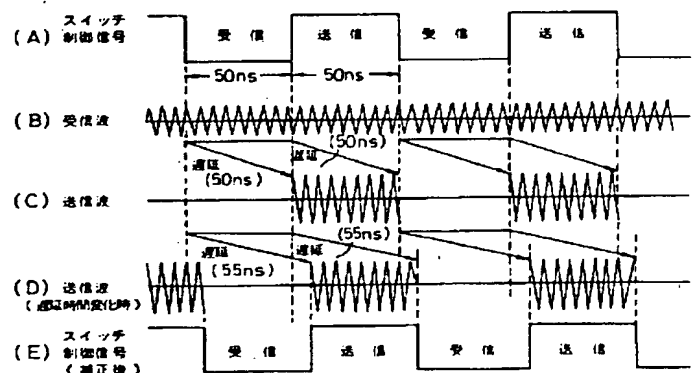
4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の一実施例の回路図、

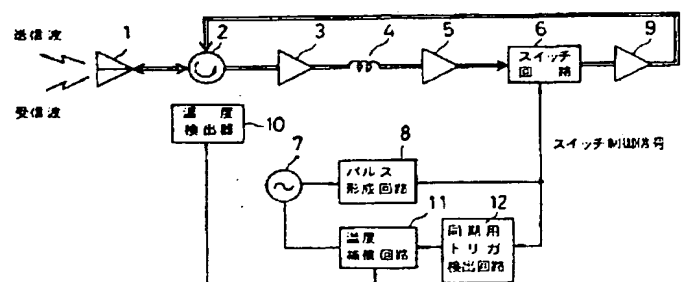
第3図は本発明及び従来例の動作タイミングチャート、

第4図は従来の一例の回路図である。



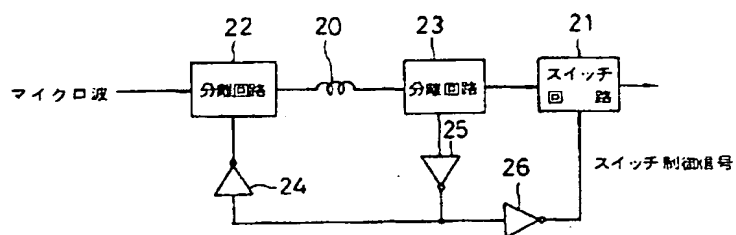
本発明及び従来例の動作タイミングチャート

第3図



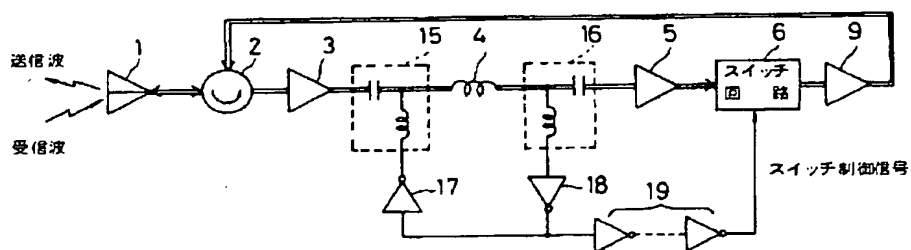
従来の一例の回路図

第4図



本発明の原理図

第 1 図



本発明の一実施例の回路図

第 2 図